

punto del canal, dado el formato de las mismas (punto T). De acuerdo con el análisis precedente:

$$V_{GCT} = V_{GS} - V_{CST}$$

Pero cuando esto ocurre, la polarización inversa debe ser: $V_{GCT} = V_p$ y dada la proximidad del punto T con la zona de intensificación N^+ del terminal de Drenaje que permite admitir: $V_{CST} = V_{DS}$, todo ello nos permite inferir que alcanzado el estrangulamiento o bloqueo del canal en un punto se debe cumplir que:

$$V_{DS} = V_{GS} - V_p \quad (III.1.)$$

A partir de esta situación si se continúa aumentando la tensión V_{DS} la corriente I_D no se incrementa apreciablemente debido a que se ha alcanzado la saturación o bloqueo del canal, es decir que no se dispone de portadores suficientes para permitir efectivizar tal aumento. Aumentando V_{DS} por encima del valor de la condición establecida por la ecuación (III.1.) lo único que ocurre es que se incrementa la movilidad de los portadores mayoritarios en el canal pero no el número de ellos.

Es justamente en esta condición de funcionamiento, es decir con:

$$V_{DS} > [(V_{GS} - V_p) > 0] \quad (III.2.)$$

como se trabaja con el JFET como amplificador, ya que como veremos en esta forma puede proveer amplificación con una transferencia lo mas parecida a la transferencia lineal..

Las distintas condiciones de funcionamiento del JFET (para canal N) se pueden describir matemáticamente mediante un conjunto de ecuaciones que son solo válidas en una región de operación y que, en términos de valores totales se describen seguidamente:

$$1) i_G = 0 \text{ para todo } v_{GS} < +0,5 \text{ Volt (polarización no directa de la juntura G-canal)} \quad (III.3.)$$

$$2) i_D = 0 \text{ si } (v_{GS} - V_p) < 0 \text{ (o sea } v_{GS} < V_p \text{ - con } V_p \text{ negativo para los JFETs de Canal N)} \quad (III.4.)$$

$$3) i_D = K \cdot [2 (v_{GS} - V_p) \cdot v_{DS} - v_{DS}^2] \text{ para todo } V_{DS} < [(V_{GS} - V_p) > 0] \quad (III.5.)$$

que corresponde a la ZONA DE RESISTENCIA CONTROLADA POR TENSIÓN.

$$4) i_D = K \cdot (v_{GS} - V_p)^2 \text{ para todo } V_{DS} > [(V_{GS} - V_p) > 0] \quad (III.6.)$$

ZONA DE CANAL ESTRANGULADO o ZONA DE TRABAJO COMO AMPLIFICADOR LINEAL.

Notar que en esta zona I_D es constante independientemente de cuanto varíe v_{DS} .

La situación esquematizada en la figura III.5.b.) y descripta por la ecuación (III.5.) expresa que en dicha región la función $i_D = f(v_{DS})$ se encuentra compuesta por una parte lineal y otra del tipo parabólica o cuadrática que se resta a la primera, es decir que gráficamente dicha función puede interpretarse tal como se muestra en la figura III.7.

La composición de ambas partes adopta la forma típica de las curvas de drenador o de salida del JFET en la configuración fuente común tal como la proporcionan sus fabricantes para un entorno de variación desde $v_{DS} = 0$ hasta $v_{DS} = (v_{GS} - V_p)$, es decir para la zona de resistencia controlada por tensión

Pero la misma figura III.7. muestra que a partir del valor $v_{DS} = (v_{GS} - V_p)$ al alcanzarse la condición de canal bloqueado en un punto, a medida que v_{DS} crece la corriente se mantiene constante, en un valor descrito por la ecuación (III.6.) y gráficamente representada por una recta horizontal, tratándose ahora de la zona de trabajo como amplificador lineal. En esta última ecuación, si además se impone la condición de un $v_{GS} = 0$, la corriente de drenaje para tensión compuerta-fuente nula resultará:

$$I_{DSS}$$

$$I_{DSS} = K \cdot (-V_p)^2 \quad \text{y por lo tanto} \quad K = \frac{I_{DSS}}{V_p^2} \quad \text{(III.7.)}$$

luego, la ecuación (III.6.) también puede describirse como:

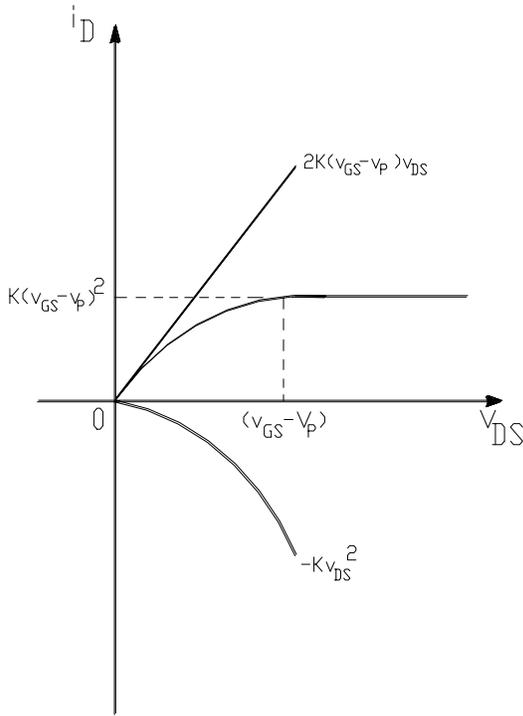


Figura III.7.

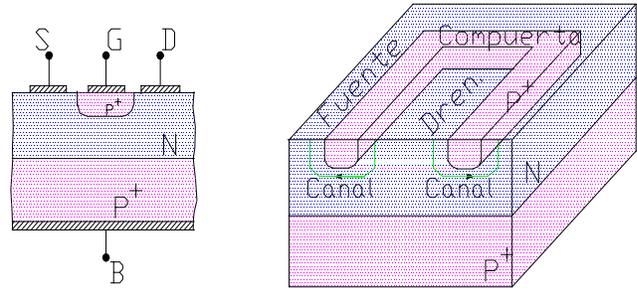


Figura III.8.

para todo $V_{DS} > [(V_{GS} - V_p) > 0]$ se tiene $i_D = \frac{I_{DSS}}{V_p^2} \cdot (v_{GS} - V_p)^2$ o bien $i_D = I_{DSS} \cdot \left(1 - \frac{v_{GS}}{V_p}\right)^2$ (III.8.)

que es la condición como debe hacerse funcionar al transistor para que opere como amplificador lineal.

En la práctica la constitución física del JFET no es tan simple como la analizada debido a la imposibilidad de realizar la implantación de las dos zonas P⁺ de compuerta en ambos lados del bloque semiconductor. Su constitución física vista en una sección transversal suele ser la indicada en la figura III.8. En realidad para ganar mayor superficie, dicha sección transversal se prolonga en una mayor longitud tal como se indica en la misma figura cuando se muestra al bloque semiconductor como estructura de tres dimensiones.

Se puede observar que las expresiones (III.5.) y (III.6.) dependen del valor que adopte la tensión v_{GS} por lo que haciendo variar dicho parámetro, en lugar de una sola curva como se obtuvo en la figura III.7. se obtendrá una familia de curvas tal como la que se representa en la figura III.9. En dicha figura se representa una familia típica de curvas de salida del JFET y se observa en la misma que en la zona de tensiones V_{DS} tales que en conjunto con V_{GS} hacen alcanzar la tensión de ruptura por avalancha de la juntura compuerta - canal se produce una escapada de la corriente de salida (I_D), efecto este siempre destructivo y que por lo tanto no debe ocurrir en una operación normal del JFET.

Por su parte en la figura III.10. se representa una característica de transferencia del JFET para la condición de canal bloqueado en un punto, Dicha condición de funcionamiento se halla indicada sobre las características de salida por medio de la función tipo parabólica dibujada en línea de trazos. Tal línea marca el límite impuesto por la condición:

$$V_{DS} > [(V_{GS} - V_p) > 0]$$

en consecuencia entre dicha línea punteada y la zona de ruptura o avalancha de compuerta se desarrolla la ZONA ÚTIL de trabajo del JFET COMO AMPLIFICADOR LINEAL, zona esta a su vez limitada por el eje de $I_D = 0$ (o ZONA DE CORTE) y para este tipo de FET por la zona de corriente máxima establecida por la corriente I_{DSS} .

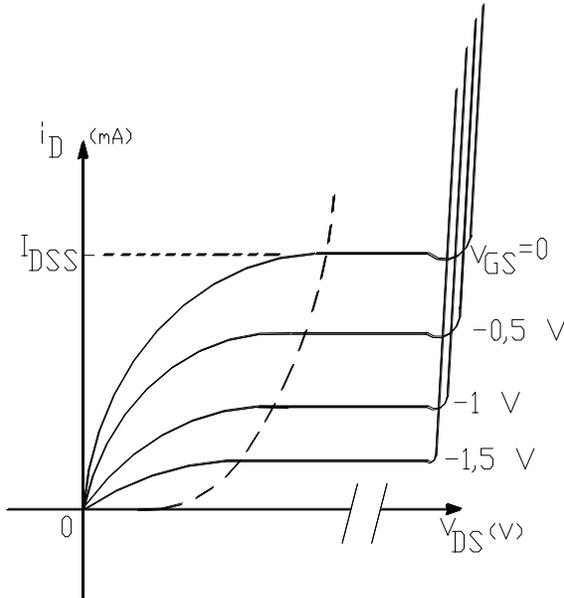


Figura III.9.

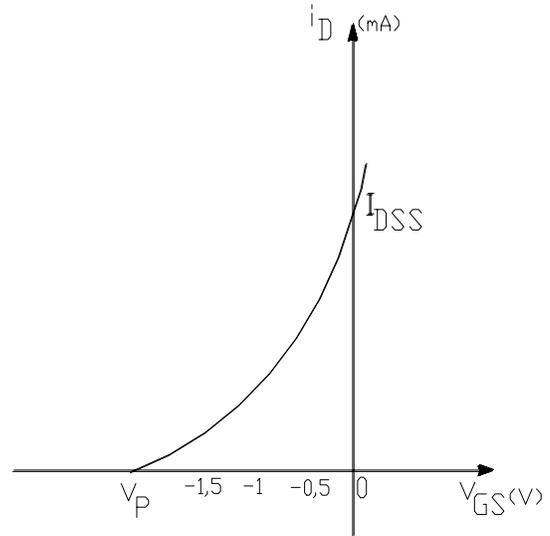


Figura III.10.

Si bien todo lo precedentemente descrito se refiere a un JFET de canal N, el principio de funcionamiento y las características típicas para un canal P son totalmente análogas. En este caso el sustrato base del semiconductor será del tipo N^+ lo mismo que las regiones de compuerta, mientras que el canal se desarrollará en una región semiconductor impurificada levemente del tipo P. En consecuencia, con los sentidos de referencia adoptados, para un JFET de canal P la tensión de bloqueo de canal resultará un valor positivo y la corriente I_D será una magnitud negativa y en lo relativo a la simbología, el canal P se identificará con el sentido inverso en la flechita dibujada sobre el terminal de compuerta.

III.3.- REVISIÓN DEL PRINCIPIO DE FUNCIONAMIENTO DE LOS MOSFETs:

Como ya se mencionara anteriormente, este tipo de FETs se puede dividir a su vez en dos grandes grupos, aquellos denominados de Canal Permanente y los otros reconocidos como de Canal Inducido.

La constitución física de este tipo de dispositivos es naturalmente muy diferente a los JFETs recién analizados. Particularmente en los MOSFETs de Canal Permanente (uno del tipo N por ejemplo) el mismo se encuentra realizado sobre una pastilla o sustrato del tipo P, en el que se realiza una difusión N de carácter superficial en una de las caras de dicha pastilla, que genera un canal de tales características. En los extremos de la citada pastilla (y de la citada difusión) y por medio de sendas difusiones mucho más profundas y más contaminadas se realizan regiones N^+ sobre las que se llevan a cabo las conexiones metálicas de los terminales de drenaje (D) y fuente (S).

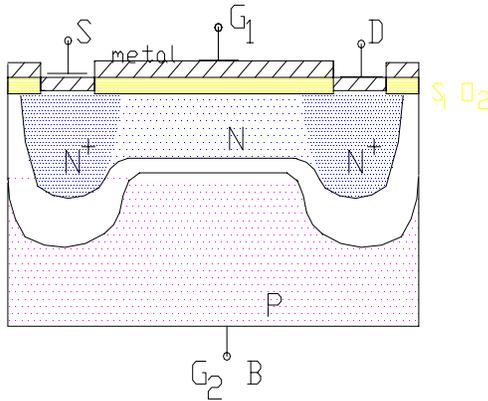
Sobre el canal superficial ya mencionado se realiza la deposición de una delgada capa de dióxido de silicio y sobre esta última se dispone una nueva capa metálica realizada en aluminio, en donde se toma el terminal correspondiente a la compuerta (G). En la cara opuesta del sustrato se ejecuta una nueva metalización sobre la que se conecta el terminal de sustrato (B) (o bien G_2). En la figura III.11. se representa dicha disposición física y además se indica la distribución de la zona de transición resultante de la desaparición de portadores mayoritarios en la juntura PN en equilibrio, zona en la cual únicamente restan los átomos fijos cargados.

Si aplicamos una polaridad negativa a la compuerta G_1 , cuya capa metálica se comporta como una placa de un capacitor de placas paralelas, formado por el S_1O_2 como dieléctrico entre la anterior y el semiconductor tipo N, se llevará a cabo un reacomodamiento de cargas eléctricas produciéndose una acumulación de cargas positivas en el canal superficial N

a consecuencia de un vaciamiento de los portadores mayoritarios en el canal N o sea electrones, aumentando así la resistencia del canal y disminuyendo uniformemente el ancho efectivo del mismo.

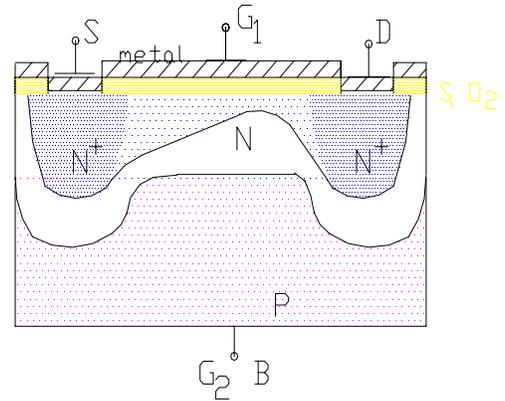
Si aumentamos la V_G (negativamente para un canal N) llegará un cierto valor, que volvemos a llamar "tensión de bloqueo de canal" (V_p), para la cual el canal desaparece totalmente y no puede establecerse una corriente entre S y D; el transistor se encuentra en funcionamiento a canal bloqueado o al corte. Una polaridad positiva aplicada a la compuerta producirá un efecto contrario al relatado, es decir reforzará la cantidad de portadores mayoritarios del canal disminuyendo la resistencia de dicho canal entre S y D.

Si se aplica una polaridad positiva al terminal de D por efecto de que dicha tensión interactúa en la polarización de la juntura canal-sustrato, se estará reforzando la zona de transición en la región cercana a la zona neutra de drenaje, es decir dicha polarización será más intensa en la región cercana al terminal de D, produciéndose una distribución no uniforme de cargas fijas, con mayor densidad de ellas en la zona cercana a D, tal como se aprecia en la figura III.12.



$$V_{DS} = 0$$

Figura III.11.



$$V_{DS} > 0$$

Figura III.12.

Es posible admitir entonces que mediante una combinación de valores de las tensiones v_{GS} y v_{DS} puede lograrse el estrechamiento del canal en un punto, tal como ocurría en el JFET. Logrado el bloqueo del canal en un punto y establecida la corriente entre S y D, a partir de allí si se continúa aumentando v_{DS} la corriente permanece constante ya que se repite el efecto estudiado para los JFETs, es decir no puede aumentar debido a la falta de portadores en el canal, lo único que logra dicho aumento es incrementar la velocidad con que los portadores mayoritarios en el canal N (electrones) pasan del canal a la región N^+ de drenaje.

El campo eléctrico que ejerce la acción de gobierno de la corriente i_D es resultante de la acumulación de cargas fijas generadas en este transistor por dos efectos simultáneos: el de la zona de transición de una juntura PN canal-sustrato polarizada en forma inversa y el de un condensador cargado.

Dado que su principio de funcionamiento es tan similar al de los JFETs, las ecuaciones físico matemáticas que describen el funcionamiento de estos dispositivos son totalmente coincidentes con las de los JFETs, con la sola excepción que ahora, la tensión de polarización de compuerta puede ser tanto negativa (Modo de Trabajo: de VACIAMIENTO) como positiva (modalidad: DE REFUERZO) mientras que la corriente de compuerta resulta nula (en realidad del orden de los nA) dado que la aislación del capacitor MOS es excelente.

Debido a la reducida dimensión o espesor de la capa de $S_i O_2$, dado el efecto de ruptura dieléctrica, existe una limitación en el valor de la tensión v_{DS} que rara vez puede superar los 20 o 25 v. Las curvas características de salida (en configuración fuente común y las correspondientes de transferencia para canal estrangulado se presentan en las figuras III.13. y III.14.

En cuanto a los MOSFETs de canal inducido (tipo N) simplemente diremos que se trata de una estructura similar a la detallada para los de canal permanente, solo que en este caso no se efectúa la difusión de material N en la superficie del sustrato entre las regiones N^+ de S y D. Así, si graficamos la concentración de portadores mayoritarios en función de la

profundidad en el sustrato (x) para una situación de equilibrio térmico, se tendrán las funciones indicadas en la figura III.15. con línea de trazos.

Si mas tarde se aplica una pequeña polaridad positiva ($v_{GS} > 0$) a la compuerta, por efecto de la carga del capacitor MOS se produce un aumento de la concentración de portadores minoritarios en la zona superficial del sustrato,

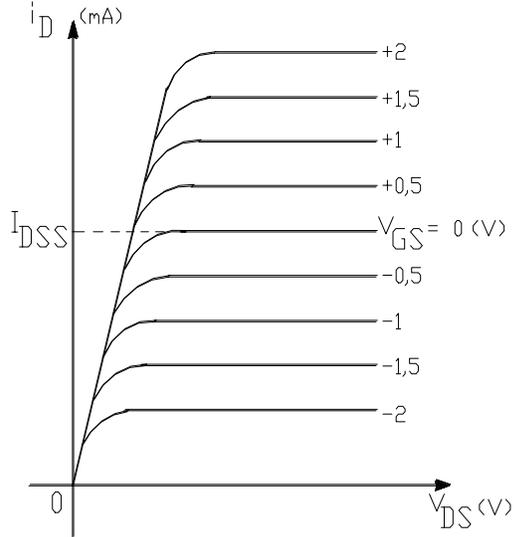


Figura III.13.

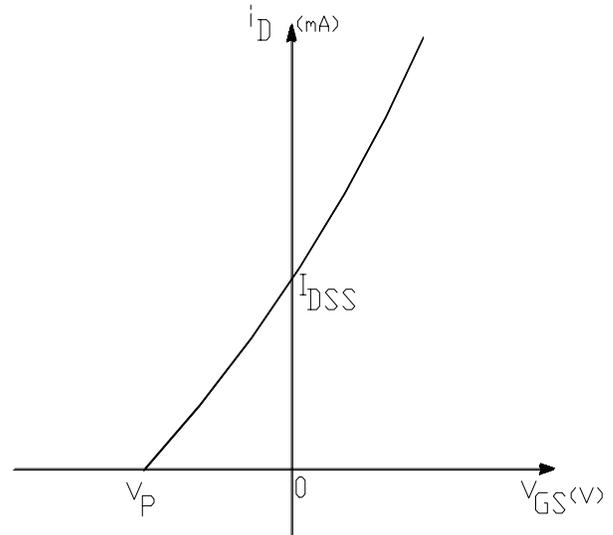


Figura III.14.

así como una disminución de la concentración de los mayoritarios, tal como se indica en la misma figura III.15 pero ahora con trazo continuo.

Incrementando luego la tensión de polarización positiva de compuerta, la concentración superficial de portadores que originalmente eran minoritarios pasan a superar a los valores de los originalmente mayoritarios lográndose la llamada INVERSIÓN DEL TIPO DE SEMICONDUCTOR, tal como se indica en el gráfico de la figura III.16., hecho este que se produce desde la superficie de la pastilla, hasta una profundidad x_1 .

Si un potencial positivo interactúa en drenaje, el mismo tiende a vaciar de portadores la zona del canal inducido cercana al drenaje, pudiéndose lograr el bloqueo del canal en forma similar a lo ya descrito, en un punto. En estos dispositivos sin polarización positiva (canal N) sobre el terminal de compuerta, la corriente de drenaje o corriente en el canal resulta nula ya que tal canal no existe o bien que la cantidad de portadores existentes es despreciable. Como su

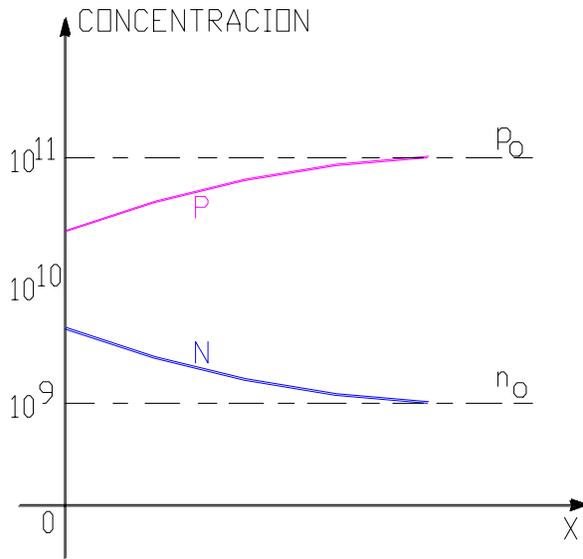


Figura III.15.

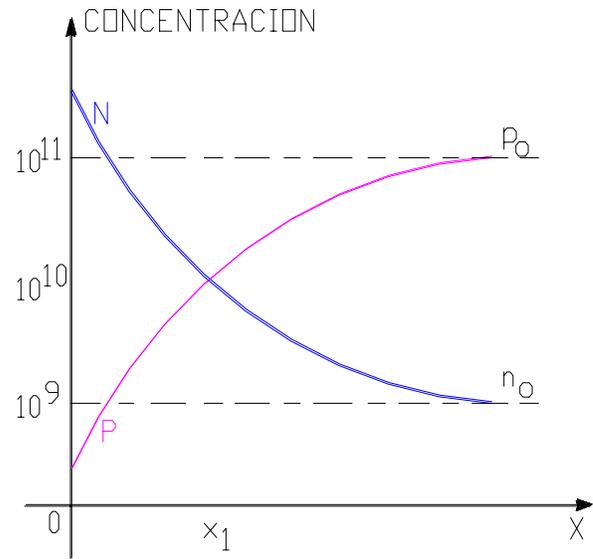


Figura III.16.

denominación lo indica, para que pueda establecerse dicha corriente se deben inducir portadores en el canal, vale decir que se debe formar el canal.

Llamaremos V_T a la tensión necesaria aplicada a la compuerta, tal que permita el establecimiento de la corriente i_D (tendría un significado similar a la tensión de umbral o de arranque de una juntura PN). Así, las ecuaciones que representan aproximadamente dichos mecanismos son:

$$1) i_G = 0 \quad (III.9.)$$

$$2) i_D = 0 \quad \text{para todo} \quad v_{GS} < V_T \quad (\text{para Canal N } V_T \text{ es un valor positivo}) \quad (III.10.)$$

$$3) i_D = B \cdot [2(v_{GS} - V_T) \cdot v_{DS} - v_{DS}^2] \quad \text{para todo} \quad V_{DS} < [(V_{GS} - V_T) > 0] \quad (III.11.)$$

que corresponde a la ZONA DE RESISTENCIA CONTROLADA POR TENSIÓN.

$$4) i_D = B \cdot (v_{GS} - V_T)^2 \quad \text{para todo} \quad V_{DS} > [(V_{GS} - V_T) > 0] \quad (III.12.)$$

ZONA DE CANAL ESTRANGULADO o ZONA DE TRABAJO COMO AMPLIFICADOR LINEAL.

Notar que en esta zona I_D es constante independientemente de cuanto varíe v_{DS} .

Al igual que la constante K de las anteriores ecuaciones, B depende de la resistividad del semiconductor base, de las concentraciones de impurezas de las difusiones y de las dimensiones en que se establece el canal. Mientras en los JFETs y en los MOSFETs que son capaces de funcionar en modo de vaciamiento la constante K queda definida por los parámetros I_{DSS} y V_P , dado que en los MOSFETs de canal inducido $i_D = 0$ para $v_{GS} = 0$ ya no tiene sentido la definición de I_{DSS} , la constante B solo puede definirse prácticamente por medición de algún punto característico de trabajo.

Atento a tales condiciones de funcionamiento los MOSFETs de canal inducido presentan las curvas características de salida y de transferencia que se representa en las figuras III.17. y III.18.

III.4.- LIMITACIONES EN LA TRANSCONDUCTANCIA DE LOS JFETs:

Según quedó expresado, la principal desventaja de los FETs frente a los transistores bipolares era que presentaban una menor conductancia de transferencia g_m . A fin de establecer una rápida comparación de valores típicos, consideraremos por un lado a un transistor bipolar trabajando en un punto de reposo de 5 V - 10 mA., para el cual, como es ya conocido $g_m = 40 \cdot I_{CQ}$, o sea $g_m = 400 \text{ mA/V}$.

Por otro lado consideraremos el caso de un FET capaz de trabajar en vaciamiento, cuyas características son las de un $I_{DSS} = 10 \text{ mA}$ y $V_P = -3 \text{ V}$, tal que operando a canal estrangulado posee una $V_{GSQ} = 0 \text{ V}$ y por lo tanto $I_{DQ} = I_{DSS} = 10 \text{ mA}$.

Partiendo de su definición::

$$g_m = \frac{d i_D}{d v_{GS}} \quad \text{y recordando que según (III.8): } i_D = I_{DSS} \cdot \left(1 - \frac{v_{GS}}{V_P}\right)^2$$

luego, efectuando la operación derivada:

$$g_m = \left(-2 \cdot \frac{I_{DSS}}{V_P}\right) \cdot \left(1 - \frac{v_{GS}}{V_P}\right) \quad \text{(III.13.)}$$

finalmente introduciendo la misma (III.8):

$$g_m = \left(-2 \cdot \frac{I_{DSS}}{V_P}\right) \cdot \left(\frac{I_{DQ}}{I_{DSS}}\right)^{1/2} \quad \text{(III.13'.)}$$

por lo tanto, para el mismo punto de reposo del bipolar:

$$g_m = \left(-2 \cdot \frac{10^{-2}}{-3}\right) = 6,66 \text{ mA/V}$$

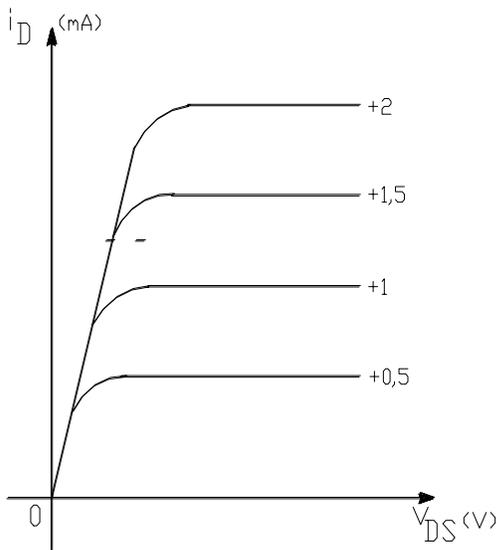


Figura III.17.

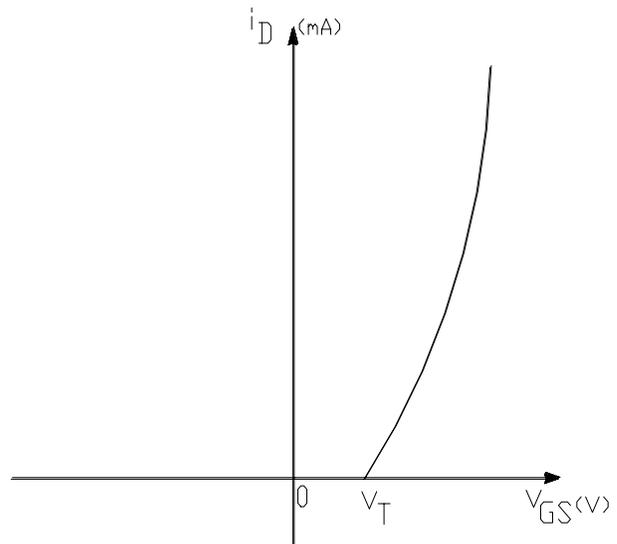


Figura III.18

pudiéndose constatar la gran diferencia entre la transconductancia de uno y otro transistor, aún como en este caso, para la misma corriente de reposo.

III.5.- CIRCUITOS DE POLARIZACIÓN:

Consideraremos un circuito elemental de polarización de un FET en modo de vaciamiento, idéntico al presentado en la figura III.4. en oportunidad en que se reviera su principio de funcionamiento. En este circuito se conoce que sus componentes poseen los siguientes datos:

$R_G = 1 \text{ MOhm}$ - $R_D = 3,3 \text{ KOhm}$ - $V_{GG} = 2 \text{ V}$ - $V_{DD} = 12 \text{ V}$ - mientras que del JFET se conocen:

$V_P = -3 \text{ V}$ - $I_{DSS} = 12 \text{ mA}$ - $I_{GSS} = 10 \text{ nA}$ - $BV_{DSS} = 20 \text{ V}$

Se observa en el circuito que las únicas fuentes de alimentación existentes no son variables en el tiempo por lo que las corrientes y tensiones que se desarrollarán en el mismo serán "estáticas" y para su análisis les asignamos los sentidos de referencia indicados en el mismo diagrama circuital.

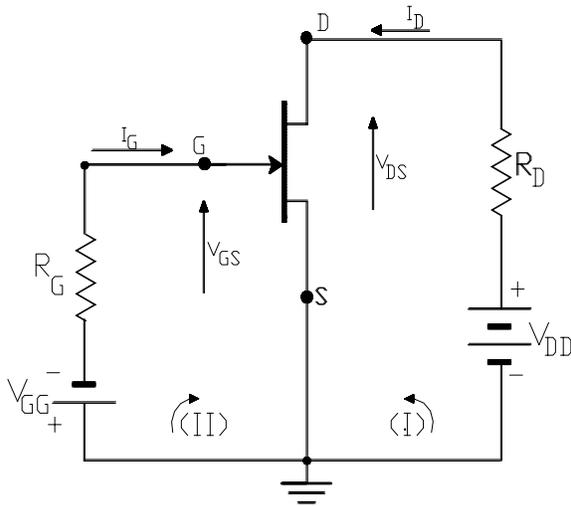


Figura III.19.

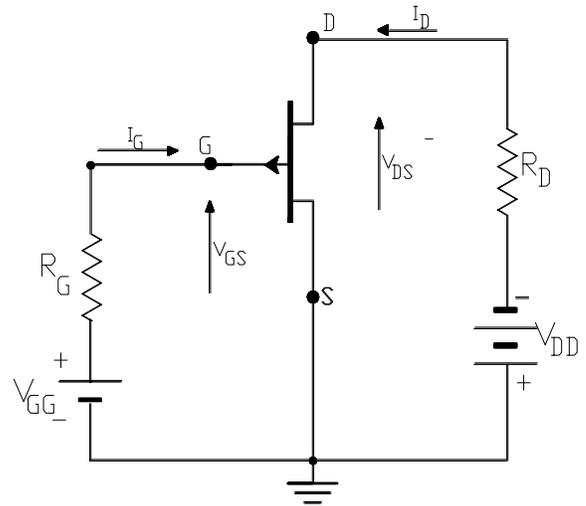


Figura III.20.

En primer lugar, la verificación de la proximidad de la zona de trabajo con la ruptura del diodo compuerta - canal, arroja como resultado la siguiente relación:

$$\frac{V_{DD}}{BV_{DSS}} = \frac{12}{20} = 0,6$$

que se considera aceptable aún si hubiera llegado hasta un 75 % de BV_{DSS} , al igual como ocurría para los transistores bipolares (carga resistiva pura).

En segundo término, para la malla de entrada o G - S, se puede plantear la siguiente ecuación:

$$-V_{GG} - I_G \cdot R_G - V_{GS} = 0$$

Dado que la única corriente en G es como máximo, la especificada como I_{GSS} , es decir de sólo 10 nA, y atento a que la caída que origina en R_G resulta ser:

$$I_G \cdot R_G = 10^{-8} \cdot 10^6 = 0,01 \text{ V}$$

y por lo tanto totalmente despreciable frente a la $V_{GG} = 1,5 \text{ V}$, la ecuación de la malla de entrada se reduce a:

$$-V_{GG} - V_{GS} = 0 \quad \text{o sea:} \quad V_{GS} = -V_{GG} \quad (\text{III.14.}) \quad \text{y en nuestro caso} \quad V_{GS} = -2 \text{ V}$$

Luego, incorporando las condiciones de funcionamiento que impone el propio JFET, la corriente de drenaje suponiendo el canal estrangulado, se podrá determinar mediante la ecuación (III.8.), es decir:

$$I_{DQ} = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_p}\right)^2 = 12 \cdot 10^{-3} \cdot \left(1 - \frac{2}{3}\right)^2 = 1,33 \text{ mA}$$

Luego de la malla de salida, a partir de la ecuación de malla, se podrá calcular la tensión de reposo:

$$V_{DSQ} = V_{DD} - I_{DQ} \cdot R_D = 12 - 1,33 \cdot 10^{-3} \cdot 3,3 \cdot 10^3 = 7,6 \text{ V}$$

Toda vez que hemos utilizado la ecuación (III.8.), que proporciona la corriente de salida únicamente para la condición de canal bloqueado, procedemos inmediatamente a verificar si tiene lugar dicha condición de funcionamiento, es decir:

$$V_{DS} > [(V_{GS} - V_p) > 0] \quad \text{mientras que en nuestro caso:}$$

$$V_{GS} - V_p = -2 - (-3) = 1 \text{ V} \quad \text{y por lo tanto} \quad > 0$$

$$V_{DSQ} = 7,6 \text{ V} \quad \text{y por ello} \quad > (V_{GS} - V_p)$$

Puede constatarse el cumplimiento de la condición de canal bloqueado, deduciéndose así la consistencia del procedimiento de cálculo utilizado.

Si se hubiera considerado un JFET de canal P se deberían haber cambiado las polaridades de las fuentes de alimentación, tal como se observa en la figura III.20. y los resultados de V_{DSQ} e I_{DQ} hubieran arrojado valores negativos, aunque numéricamente idénticos si los componentes del circuito y las características del JFET fuesen las mismas.

El circuito propuesto, como se pudo verificar, polariza satisfactoriamente pero presenta el inconveniente de utilizar dos fuentes de alimentación, en este caso de diferente valor y de polaridad opuesta lo que lo hace poco práctico.

La posibilidad de utilizar solo una fuente de alimentación que sea compartida por las mallas de entrada y salida, inicialmente se presenta en el circuito de la figura III.21.:

Para este circuito en la malla de entrada se tendrá $V_{RG} = 0$; ya que se podrá considerar $I_{GSS} = 0$, cosa que verificaremos mas tarde. Entonces la ecuación de esta malla resultará ahora:

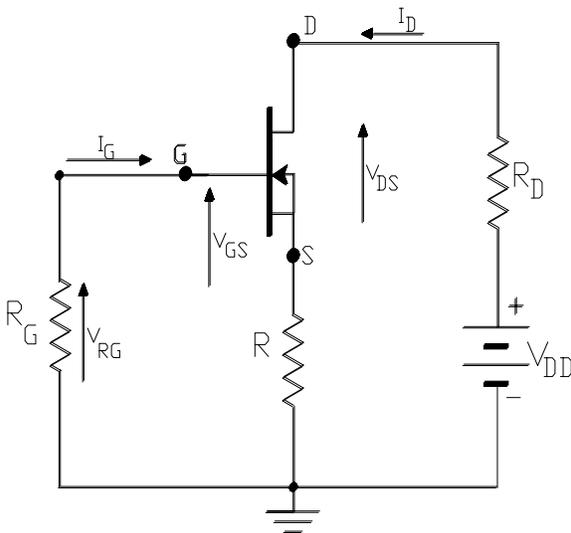


Figura III.21.

V_{GS} (V)	-1,5	-1	-1,2	-1,13
I_{D} (mA) (III.15.)	3,9	5,6	4,9	5,14
I_{D} (mA) (III.16.)	6,8	4,5	5,45	5,14

Figura III.22.

$$V_{GSQ} + I_{DQ} \cdot R = 0 \quad \text{o sea} \quad V_{GSQ} = -I_{DQ} \cdot R \quad (III.15.)$$

ecuación esta última que es comúnmente llamada de AUTO POLARIZACIÓN ya que es la misma corriente de reposo I_{DQ} la que polariza la compuerta G respecto del terminal de fuente S.

Por ejemplo, si en el circuito se tiene $V_{DD} = 15 \text{ V}$ y $R_D = 1 \text{ KOhm}$ y se dispone de un MOSFET de canal permanente N, con las siguientes características:

$$I_{DSS} = 10 \text{ mA} \quad ; \quad V_P = -4 \text{ V}$$

calcularemos los restantes componentes del circuito de modo que se opere con una corriente de reposo $I_{DQ} = 5 \text{ mA}$, es decir en modo de vaciamiento. Para tal fin y con el objeto de introducir la característica del MOSFET consideramos aplicar la ecuación (III.8.) despejando de ella la tensión V_{GS}

$$V_{GSQ} = V_P \cdot \left[1 - \left(\frac{I_{DQ}}{I_{DSS}} \right)^{1/2} \right] \quad (III.16.)$$

reemplazando los valores numéricos se tendrá:

$$V_{GSQ} = -4 \cdot \left[1 - \left(\frac{5}{10} \right)^{1/2} \right] = -1,2 \text{ V}$$

Luego, a partir de la ecuación (III.15.), la resistencia de autopolarización resulta:

$$R = \frac{V_{GSQ}}{-I_{DQ}} = \frac{-1,2}{-5 \cdot 10^{-3}} = 0,24 \cdot 10^3 \text{ Ohm}$$

Seleccionamos el valor comercial más cercano, es decir: $R = 220 \text{ Ohm}$. Y como en todo proyecto es preciso realizar ahora la correspondiente verificación, cosa que hacemos operando con el par de ecuaciones (III.15.) y (III.16) y llevando a cabo un cuadro de valores tal como se muestra en la figura III.22.

Del análisis de la última columna de dicho cuadro de valores se concluye que la solución resulta:

$$I_{DQ} = 5,14 \text{ mA} \quad - \quad V_{GSQ} = -1,13 \text{ V}$$

luego de la malla de salida:

$$V_{DSQ} = V_{DD} - I_{DQ} \cdot (R_D + R) = 15 - 5,14 \cdot 10^{-3} \cdot (1 + 0,22) \cdot 10^3 = 8,73 \text{ V}$$

y dado que:

$$V_{GSQ} - V_P = -1,13 - (-4) = 2,87 \text{ V}$$

mayor que cero y bastante inferior a la V_{DSQ} verificada, la operación por tanto se realiza a canal estrangulado y el procedimiento empleado es el apropiado.

Si bien la solución propuesta es válida para polarizar en modo de vaciamiento, para el modo de refuerzo la autopolarización tal cual fue presentada no resultaría eficaz, ya que no podría proporcionar un $V_{GS} > 0$. Con lo visto hasta el presente esta modalidad de trabajo solo podría conseguirse con el circuito de las dos fuentes de alimentación invirtiendo la polaridad de la pila (V_{GG}).

Antes de buscar otra solución que utilice una única fuente para la polarización en modo de refuerzo, trataremos la forma de incorporar al análisis a la Dispersión de Fabricación, que como ya se ha dicho, en estos componentes es tan importante como la considerada para los bipolares.

Se adelantó ya que en los FETs de vaciamiento por ejemplo, la dispersión se manifiesta en que para una misma serie de fabricación de un mismo tipo de FET estos se presentan con diferentes valores de tensión de bloqueo de canal y con distintos valores de corriente I_{DSS} . Es decir que tales parámetros se ubican dentro de una gama de variación comprendida entre:

$$V_{Pmin} \quad - \quad V_{Pmax} \quad e \quad I_{DSSmin} \quad - \quad I_{DSSmax}$$

Lo precedente indica que en la práctica no existe "una curva" de transferencia (a canal estrangulado) válida para un número "n" de transistores unipolares sino que se tendrá una "franja de transferencia", tal como la representada en la figura III.23.

En los MOSFETs de canal inducido la dispersión de fabricación puede detectarse a través del rango de variación de la tensión de umbral V_T , lo que se traduce igualmente en que a los mismos se les puede adjudicar una franja de transferencia, similar a la representada en la figura pero trasladada sobre el eje de v_{GS} , sobre la porción de valores positivos. El siguiente análisis es entonces igualmente válido para cualquier tipo de FET.

En la misma figura III.23. también se ha representado la ecuación de la malla de entrada para el circuito que polariza en base a la utilización de dos fuentes de alimentación (figura III.19.) y que arroja como resultado una recta vertical trazada por el valor $v_{GS} = V_{GG}$. De acuerdo con los conceptos adquiridos para el caso de los transistores bipolares, la polarización del FET surge como solución simultánea de la característica de transferencia del mismo y de la ecuación de la malla de entrada o G-S. En el caso que estudiamos resultará de la intersección de la recta antes hallada con la franja de transferencia debido a la dispersión.