

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

resistencias de emisor R_e y tal como la expresión (IV.23.) lo indica, debe esperarse una reducción del Rechazo al Modo Común toda vez que las mismas se utilicen.

Por último verificaremos que las resistencias R_e también modifican los niveles de resistencia de entrada:

$$R_{id} = 2 \cdot (h_{ie1-2} + h_{fe1-2} \cdot R_e) = 2 \cdot (3,5 \cdot 10^3 + 10^4) = 27 \text{ KOhm} \quad (\text{IV.24.})$$

$$R_{ic} = h_{ie1-2} + h_{fe1-2} \cdot (R_e + 2 \cdot R_{o3}) = 3,5 \cdot 10^3 + 100 \cdot (100 + 2 \cdot 473 \cdot 10^3) = \text{varios Mohm} \quad (\text{IV.25.})$$

con la aclaración de que en este caso, dado los valores resultantes esta resistencia de salida quedaría limitada por la presencia de las resistencias r_{μ} que en los modelos del transistor bipolar no se han considerado por simplificación.

IV.3.4.- Máxima Excitación de Modo Común:

Esta característica suele ser una especificación bastante frecuente en la mayoría de los circuitos integrados lineales. Para su interpretación consideraremos el caso de un amplificador diferencial polarizado por una fuente de polarización activa tal como se estudiara en el ejemplo anterior. En su funcionamiento normal, dada la característica de amplificador de C.C., suele presentarse el caso en que sobre una de las bases de la etapa diferencial se encuentre aplicada una tensión continua de polaridad positiva respecto de masa. En tal caso dicha tensión debe ser considerada como una excitación de modo común y la situación puede representarse como lo indica la figura IV.19.

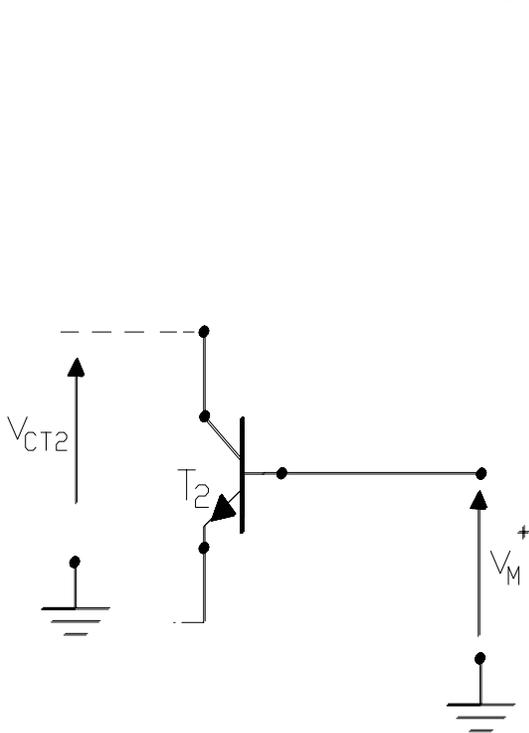


Figura IV.19.

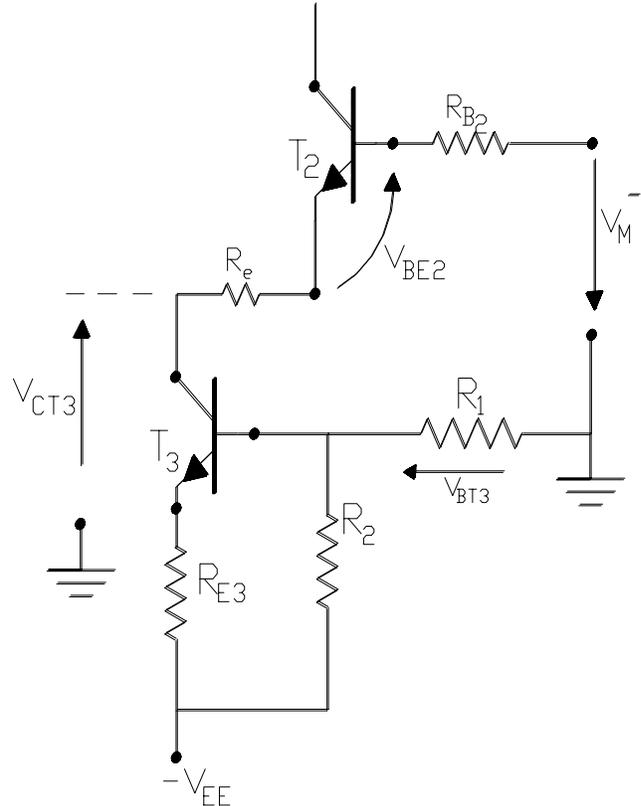


Figura IV.20.

Para que, en este caso los transistores NPN ya sea T_1 como T_2 , no incursionen en la zona de saturación es preciso que el valor máximo de la tensión continua positiva aplicada en su base no alcance el nivel de tensión V_{CT} que dispone el circuito de polarización del par diferencial. Por lo tanto la máxima excitación de Modo Común de polaridad Positiva se hallará limitada por:

$$V_M^+ < V_{CT1-2} \quad (\text{IV.26.})$$

Por otro lado, para el caso en que la polaridad de dicha tensión continua aplicada entre alguna base del par diferencial y masa sea negativa, situación que se representa en la figura IV.20., deberá tomarse la precaución de que el transistor que desempeñe las funciones de fuente de corriente activa, en el ejemplo citado llamado T_3 , opere fuera de su

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

zona de saturación de modo que su resistencia de salida ($1/h_{oe3}$) no se minimice por efecto de una incursión en dicha zona inconveniente. Es decir que T_3 siempre deberá mantener:

$$V_{CT3} > V_{BT3}$$

y dado que en el circuito considerado ante la presencia de tal excitación, en la malla de entrada de T_1 o de T_2 se tiene:

$$V_{CT3} + V_{BEu1-2} + V_M^- = 0 \quad \text{por lo que en el límite} \quad V_{BT3} < -V_M^- - V_{BEu1-2}$$

y en consecuencia:

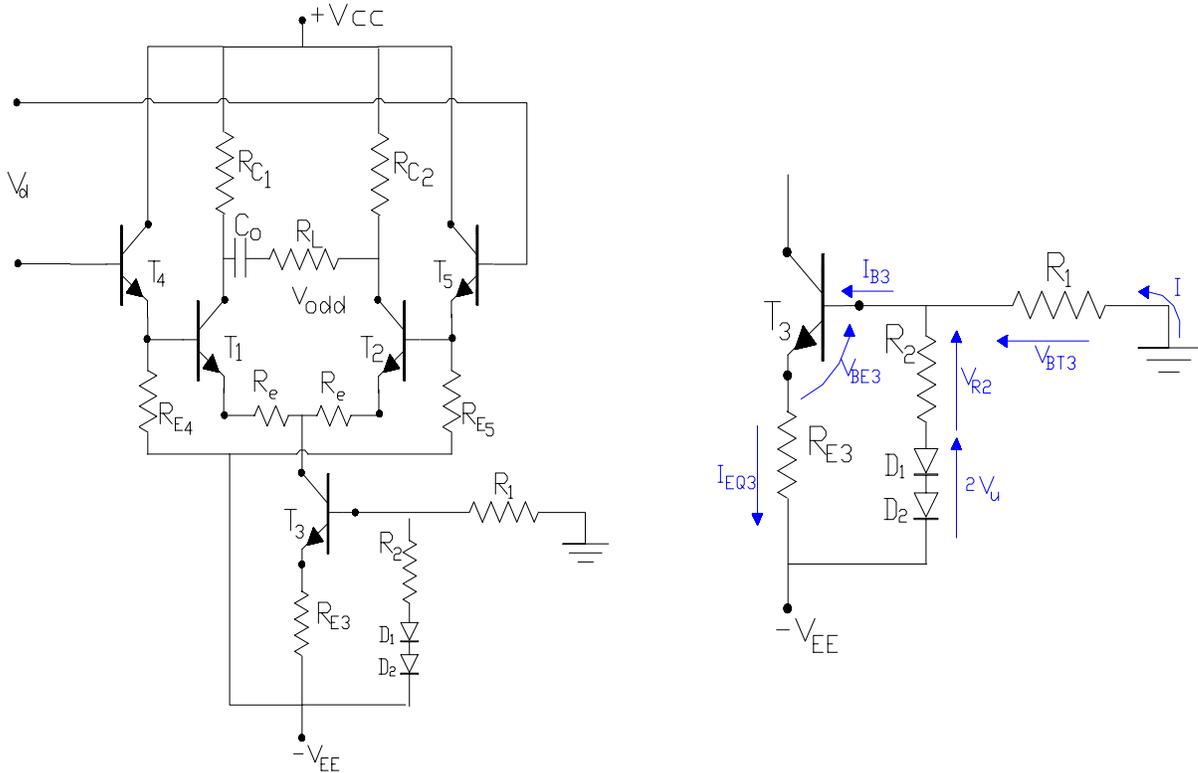
$$V_M^- < (-V_{BT3} - V_{BEu1-2}) \quad (IV.27.)$$

En el ejemplo anterior los valores numéricos que correspondería especificar para este Máximo Modo Común de Entrada serían:

$$V_M^+ < 6,7 \text{ V} \quad \text{y} \quad V_M^- < (5 - 0,6) = 4,4 \text{ V}$$

Debe apreciarse que las expresiones (IV.26.) y (IV.27.) se han obtenido a partir del estudio de un circuito conformado por transistores NPN. De tratarse de transistores PNP el cambio consistirá en intercambiar los resultados numéricos obtenidos y lo que para los NPN corresponde al máximo pico positivo en los PNP corresponderá al máximo pico negativo y viceversa.

IV.3.5.- Circuito Amplificador Diferencial con fuente de corriente compensada:



El problema consiste ahora en analizar el comportamiento del circuito amplificador diferencial que responde al esquema circuital mas arriba indicado. Cabe aclarar que dicha topologia es comercialmente conocida como un producto de RCA y se la identifica como CA3000.

En nuestro caso tomaremos para un ejemplo numérico, los siguientes valores de los componentes de circuito:

$$R_{C1} = R_{C2} = 12 \text{ KOhm} - V_{CC} = V_{EE} = 6 \text{ Volt} - R_1 = R_2 = 8,2 \text{ Kohm} - R_{E3} = 5,6 \text{ KOhm} - R_{E4} = R_{E5} = 22 \text{ KOhm}$$

$$T_1 \dots\dots T_5 : h_{FE} = h_{fe} = 100 - V_{EARLY} = 100 \text{ Volt} - R_e = 50 \text{ Ohm} - R_L = 150 \text{ KOhm} .$$

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

Comenzaremos con la resolución de la polarización. Para tal fin, en el circuito de la derecha se ha reproducido la fuente de corriente de polarización que como puede comprobarse se encuentra estabilizada con resistencia en el emisor y divisor de polarización en base y además posee incorporada la técnica de compensación térmica de las variaciones de la tensión de umbral de la juntura B-E mediante la conexión de sendos diodos (D_1 y D_2) en serie dentro de malla de polarización de la unión B-E del transistor T_3 .

En consecuencia para una buena estabilización, la corriente $I \gg I_{B3}$ y en consecuencia:

$$I = \frac{V_{EE} - 2 V_u}{R_1 + R_2} = \frac{6 - 1,2}{16400} = 0,29 \text{ mA}$$

$$V_{R2} = I \cdot R_2 \quad \text{por lo que} \quad V_{R2} + 2 V_u = \frac{V_{EE} \cdot R_2}{(R_1 + R_2)} - \frac{2 \cdot V_u \cdot R_2}{(R_1 + R_2)} + \frac{2 \cdot V_u \cdot (R_1 + R_2)}{(R_1 + R_2)}$$

Así la segunda Ley de Kirchoff en la malla de entrada resulta:

$$V_{R2} + 2 V_u - V_{BEu} - I_{CQ3} \cdot R_{E3} = 0 \quad \text{luego} \quad I_{CQ3} = \frac{V_{R2} + 2 V_u - V_{BEu}}{R_{E3}}$$

$$\text{En esta última ecuación} \quad V_{R2} + 2 V_u - V_{BEu} = \frac{V_{EE} \cdot R_2}{(R_1 + R_2)} + \frac{2 \cdot V_u \cdot R_1}{(R_1 + R_2)} - V_{BEu}$$

se puede observar el mecanismo de compensación térmica apropiado para el caso de semiconductores de Silicio en donde la mayor influencia se registra a través de las variaciones de la tensión V_{BEu} . Efectivamente si como ocurre en nuestro ejemplo numérico se cumple que $R_1 = R_2$ entonces los dos últimos términos de esta ecuación se cancelan y la corriente de polarización de T_3 queda:

$$I_{CQ3} = \frac{V_{EE}}{2 \cdot R_{E3}} = \frac{6}{2 \cdot 5600} = 0,5 \text{ mA}$$

que como se vé, solo depende de la fuente de alimentación y de la resistencia de emisor de dicho transistor, sin hallarse comprometida por las variaciones de h_{FE} ya sea térmicas o de dispersión ni de las correspondientes a la tensión de umbral B-E (y por tratarse de silicio tampoco dependientes de las variaciones de I_{CB0}). Notar que al ser $h_{FE} = 100$ la corriente de base de T_3 resulta ser de solo $5 \mu\text{A}$, es decir que se cumple con la desigualdad supuesta al inicio del presente análisis ($I = 290 \mu\text{A}$)

En consecuencia las corrientes de reposo de los transistores T_1 y T_2 , por simetría de circuitos:

$$I_{CQ1-2} = \frac{I_{CQ3}}{2} = \frac{0,5 \text{ mA}}{2} = 0,25 \text{ mA}$$

En cuanto a los transistores T_4 y T_5 , tomando como potencial de masa al de sus bases y considerando que las corrientes de base de T_1 y T_2 despreciables frente a las de emisor de los primeros, las mismas se pueden calcular como:

$$I_{CQ4-5} = \frac{V_{EE} - V_{BEu}}{R_{E4-5}} = \frac{6 - 0,6}{22000} = 0,245 \text{ mA}$$

En cuanto a las tensiones de reposo y ya que:

$$V_{ET1-2} = -2 \cdot V_{BEu} = -1,2 \text{ Volt} \quad \text{y} \quad V_{CT1-2} = V_{CC} - I_{CQ1-2} \cdot R_{C1-2} = 6 - 0,25 \cdot 12 = 3 \text{ Volt}$$

$$V_{CEQ1-2} = V_{CT1-2} - V_{ET1-2} = 3 - (-1,2) = 3 + 1,2 = 4,2 \text{ Volt}$$

$$V_{CEQ4-5} = V_{CC} - V_{BEu} = 6 - (-0,6) = 6 + 0,6 = 6,6 \text{ Volt}$$

Asimismo y despreciando las pequeñas caídas en los resistores R_e la tensión de reposo de T_3 resulta ser:

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

$$V_{CEQ3} = V_{ET1-2} - (-V_{EE} + I_{CQ3} \cdot R_{E3}) = (-1,2) - (-6 + 0,5 \cdot 5,6) = 2 \text{ Volt}$$

y por lo tanto suficiente para sacarlo de la zona de saturación, de modo que su resistencia de salida ($1/h_{oe}$) sea elevada.

En cuanto a las condiciones dinámicas de funcionamiento se puede considerar el acoplamiento directo de sendas etapas colector común, conformadas por los transistores T_4 y T_5 conectadas a la entrada de la etapa diferencial realizada con T_1 y T_2 ambos con una pequeña resistencia de emisor y cargados en la salida por colector en forma simétrica o diferencial.

Así, las resistencias de entrada de los colectores comunes pero considerada en forma diferencial, es decir entre sus dos bases es:

$$R_{id4-5} = 2 \cdot h_{ie4-5} + h_{fe4-5} \cdot (R_{id1-2} // 2 \cdot R_{E4-5}) \quad \text{con} \quad R_{id1-2} = 2 \cdot h_{ie1-2} + 2 \cdot h_{fe1-2} \cdot R_e$$

En consecuencia como para todos los transistores: $g_m = 40 \cdot I_{CQ} = 10 \text{ mA/V}$ y $h_{ie} = \frac{h_{fe}}{g_m} = 10 \text{ KOhm}$

$$R_{id1-2} = 30 \text{ KOhm} \quad - \quad R_{id1-2} // 2 \cdot R_{E4-5} = 17,8 \text{ KOhm} \quad \text{y} \quad R_{id4-5} = 1,8 \text{ MOhm}$$

Asimismo, dados los valores resultantes precedente, en ambas etapas C.C. se cumple ampliamente la condición seguidora, de modo que las transferencias de tensiones de las mismas son prácticamente unitarias y la ganancia de tensión de todo el sistema puede considerarse solo a la ganancia del diferencial cargado en forma diferencial, es decir $A_{Vdd} = 2 \cdot A_{Vd}$.

En consecuencia dado el circuito equivalente indicado en la figura IV.18:

$$A_{Vd} = \frac{v_{od2}}{v_d} = \frac{-R_{C2}}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e]} = \frac{-12000}{2 \cdot (100 + 0 + 50)} = -40$$

y definiendo ahora, a la Ganancia de Tensión Diferencial con Salida Diferencial a:

$$A_{Vdd} = \frac{v_{odd}}{v_d} = \frac{-2 \cdot I_{ed1-2} \cdot R_{C1-2}}{2 \cdot I_{ed1-2} \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e]} = 2 \cdot A_{Vd} = -80 \quad (\text{IV.22.})$$

En cuanto al rechazo al modo común, dada la carga conectada entre los dos colectores, si el circuito diferencial posee ambas ramas perfectamente simétricas, la salidas por ambos colectores debido al modo común es exactamente la misma de forma tal que la diferencia de potencial de salida, sobre la carga para este modo resultaría nula. Si tal simetría no resultara perfecta, el modo común remanente sería rechazado en forma proporcional a la resistencia de salida de la fuente de corriente de polarización, es decir:

$$R_{O3} = h_{oe3}^{-1} \cdot (1 + h_{fe3} \cdot \frac{R_{E3}}{R_{E3} + R_{B3} + h_{ie3}}) \quad \text{con} \quad R_{B3} = R_1 // R_2 = 4,1 \text{ KOhm}, \text{ así}$$

$$R_{O3} = 200 \cdot 10^3 \cdot (1 + 100 \cdot \frac{5,6}{5,6 + 4,1 + 5}) = 200000 \cdot 382 = 76,4 \text{ MOhm}$$

y en consecuencia:

$$\text{C.M.R.R.} = \rho = \frac{R_{O3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e} = \frac{76,4 \cdot 10^6}{100 + 0 + 50} = 5,1 \cdot 10^5$$

IV.4.- FUENTES DE CORRIENTE ACTIVAS:

La anterior exposición acerca del funcionamiento de los amplificadores diferenciales, en su configuración básica, así como los resultados obtenidos en los ejemplos considerados precedentemente nos permiten aceptar la necesidad de una

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

fuentes de corriente constante para asegurar la "constancia" de la suma de las corrientes de emisor del par de transistores de las ramas diferenciales.

En el desarrollo de las ecuaciones básicas se impuso esta condición mediante el empleo de la fuente $I_{CQ3} - R_{o3}$ y posteriormente se demostró que resultaba necesaria, para la obtención de un buen rechazo de señales de modo común, una fuente de corriente constante ideal que presentara precisamente una R_{o3} infinita.

Los cálculos numéricos realizados en los ejemplos antes mencionados por si solo expresan las limitaciones que en la práctica se presentan para lograr tal objetivo, sobre todo con un circuito de polarización pasivo y hasta con fuentes de corriente conformadas por un tercer transistor.

Paralelamente a lo expuesto, la orientación de la especialidad, dirigida hacia el empleo y estudio de los circuitos integrados lineales o analógicos, nos obliga a adelantar que entre las técnicas específicas que se emplean, resulta muy frecuente la utilización de un mayor número de componentes activos en reemplazo de los pasivos que en general son más difíciles de integrar. Asimismo recurrentemente puede observarse que la polarización de todo el circuito integrado se extraiga o dependa de la fuente de corriente constante destinada inicialmente a polarizar al amplificador diferencial y que en otras ocasiones, las mismas configuraciones circuitales de dichas fuentes de corriente se empleen como cargas activas de otras partes de circuito.

Esta circunstancia nos obliga a llevar a cabo un estudio particular de los diferentes tipos o configuraciones que se observan más frecuentemente en los circuitos integrados lineales.

IV.4.1.- Fuente de Corriente Espejo (Mirror):

El esquema circuitual de esta fuente de corriente se representa en la figura IV.21. , en donde puede observarse la sencillez del circuito constituido por dos transistores, uno de ellos operando como diodo. En este caso en que se emplean transistores NPN una fuente de alimentación de polaridad positiva se conecta entre el extremo del resistor R y masa, en cambio si se dispusiera de una fuente de polaridad negativa la misma podría ser utilizada en reemplazo de la anterior, conectándola entre la unión de los emisores y masa.

El punto (A) de colector del transistor T_2 lo interpretamos como el punto de utilización de la fuente, vale decir que los circuitos a polarizar por ejemplo, se deberán conectar a dicho punto (A). El principio de funcionamiento requiere una exacta simetría entre ambos transistores característica que hace a este esquema específicamente apropiado a incorporar en los circuitos integrados.

Dada la polaridad de la fuente de alimentación ambos transistores disponen sus uniones base-emisor polarizadas en forma directa por lo que es apropiado admitir que en el circuito se establezcan las corrientes y tensiones cuyos sentidos de referencia se han marcado en la misma figura. Entonces la corriente por el resistor R se encuentra vinculada con la de colector de T_1 y las dos corrientes de base I_{B1} e I_{B2} según la ecuación de la primera Ley de Kirchoff aplicada al nodo unión de ambas bases, es decir:

$$I_R = I_{C1} + I_{B1} + I_{B2} \quad (IV.28.)$$

La característica topológica de este arreglo es que ambas uniones base-emisor, al ser espejo una de la otra, comparten la misma tensión de polarización $V_{BE1} = V_{BE2}$ por lo que dada la simetría de transistores en ambas ramas se tendrá:

$$I_{B1} = I_{B2} \quad - \quad h_{FE1} = h_{FE2} \quad - \quad I_{C1} = I_{C2} \quad (IV.29.)$$

Por otra parte, al considerar la 2da. Ley de Kirchoff en la malla constituida por el transistor T_1 :

$$V_{CC} - I_R \cdot R - V_{BEu1} = 0 \quad \text{por lo que:} \quad I_R = \frac{V_{CC} - V_{BEu1}}{R} \quad (IV.30.)$$